

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-136164

(43)公開日 平成5年(1993)6月1日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/336

29/784

// H 0 1 L 21/316

S 8518-4M

8225-4M

H 0 1 L 29/ 78

3 0 1 L

審査請求 未請求 請求項の数8(全 6 頁)

(21)出願番号 特願平4-116333

(22)出願日 平成4年(1992)5月8日

(31)優先権主張番号 1 9 9 1 P 1 4 8 0 9

(32)優先日 1991年8月26日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘3洞416

(72)発明者 金 炳烈

大韓民国 京畿道 水原市 勸善区 細柳

2洞 1147 美咲アパート 105-314

(74)代理人 弁理士 服部 雅紀

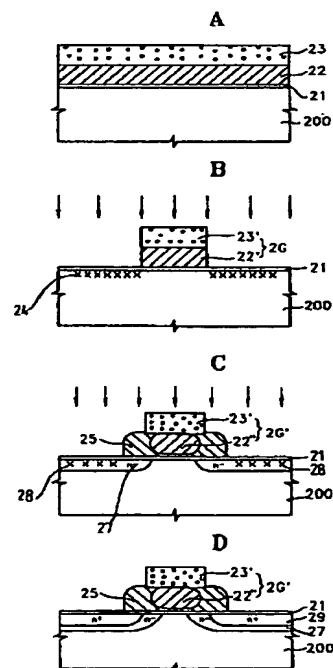
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【目的】 希釈酸化法によりゲート電極側壁にスペーサを形成させる方法を提供する。

【構成】 半導体基板200上にゲート酸化膜21を形成し、絶縁層がその上に形成されており、不純物が注入されたポリシリコンから構成されたゲート電極221を形成する。望ましくは、不純物は磷イオンである。次に、前記基板200に希釈酸化工程を遂行するとゲート電極側壁のポリシリコンが酸化しスペーサ25を形成する。

【効果】 異方性食刻工程を除外させることにより放射損傷を除去させ、低濃度不純物領域とゲート電極間の重畳キャパシタンスを減少させ、動作速度を向上し、製造方法が単純である。



1

【特許請求の範囲】

【請求項1】 不純物がドーピングされたポリシリコンから構成されたゲート電極を形成する段階、および前記ゲート電極が形成された半導体基板を希釈酸化させ、前記ゲート電極の側壁にスペーサを形成する段階から構成された半導体装置の製造方法。

【請求項2】 前記不純物が隣または砒素イオンであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記ゲート電極形成後、イオンを注入しLDD構造の低濃度の不純物領域を形成する段階をさらに含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記スペーサ形成後、イオンを注入しLDD構造の高濃度の不純物領域を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記希釈酸化を0.01から0.05気圧のH₂O分圧の湿潤雰囲気下で遂行することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 前記ゲート電極を形成する前に半導体基板上にゲート酸化膜を形成する段階をさらに含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 ゲート電極上に絶縁層を形成する段階をさらに含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項8】 不純物が注入されたポリシリコンから構成されたゲート電極が形成されている半導体基板を希釈酸化し、前記ゲート電極の側壁部のポリシリコンを酸化させ製造したゲート電極の側壁上に形成されたスペーサを含む半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関するもので、特に低濃度でドーピングされたドレイン(LDD; Lightly doped drain)構造をもつ半導体MOS装置の製造方法に関するものである。

【0002】

【従来の技術】 半導体装置は電子産業全般にかけて広く用いられており、他の産業においてもその応用が速く拡大されつつある。半導体装置の応用が拡大されつつある主要原因のうち1つは、最近の電子産業発展により商品製造費用が顕著に削減できるからである。これは低い費用の高密度の貯蔵能力に対する要求が深まりつつあるコンピュータ産業に半導体装置を応用したとき明らかに表われる。

【0003】 例えば、過去10年間、半導体装置の製造技術が発展され、半導体チップ当たりビット数が16Kから64Kに増加され、同時にビット当たり費用はおおよそ200分の1に減少した。1個のチップ上に半導体

2

素子の密度の増加により製造費用は明らかに減少する。従って、1個のチップに多くのメモリセルを形成することによりビット当たりの費用が大きく節約される。しかし、チップの密度は高まり複雑になることにより収率が減少し、高集積化から得られるいくつかの利点が相殺されることになる。装置の大きさがより高密度を実現するためさらに小さくなることによりいくつかの問題点を発生することになる。これらの問題点は半導体装置の収率を明らかに減少させ、高密度化により得られる費用節減効果を相殺させる。

【0004】 小さい形態の構造の装置を製造する際直面することになる問題のうち、一番難しい問題はブレイクダウン電圧、最大動作電圧等のような電気的特性に関するものである。これは超高集積VLSI半導体装置の製造においては特に難しい問題である。すなわち、高電圧がドレイン電極に印加されることによりチャネル領域にかかる高い電気場により半導体装置のブレイクダウン電圧が減少する。またその最大動作電圧は短いチャネル効果により制限される。特にMOS装置構造で明らかに表われるまた他の問題点は有効チャネルの長さが短いチャネル効果により制限されるのである。前記の問題点は電気的特性に悪影響を及ぼし半導体装置の製造収率を減少させる。

【0005】 従って、前述した問題点を解決するため従来のLDD構造を備えたMOS装置が提案された(参照文献: Silicon Processing for the VLSI Era, Volume 2, S. Wolf 1990, pp354~361)。LDD構造の装置はゲート電極とN⁺形ドレインおよびソース領域の間にN-形のLDD領域をもつ。前記した装置においてはチャネルのエッジ部分にかかる電場が減少され、結果的に有効な動作電圧が増加され、不純物がドーピングされた領域(ドレインおよびソース)とゲートがオーバーラップされることにより重畳されるキャパシタンスが減少され、またホットキャリア効果が減少される。

【0006】 最近、大部分のVLSI DRAMチップは、前述した長点をもつLDD構造をもつように製造されている。だが、LDD構造をもつ装置の従来の製造工程において、ゲート電極の側壁スペーサはゲート電極が形成されている半導体ウェーハ上にCVD酸化膜を沈積した後CVD酸化膜を異方性食刻し形成される。以下、従来のLDD構造をもつMOS装置の製造方法に対して図面を参照し説明する。

【0007】 図1A~図2Fは従来のLDD構造を備えた半導体装置の製造工程の各段階を示したものである。まず、通常の製造工程により半導体基板100上に素子分離領域(図面には省略されている)を形成した後、その上にゲート酸化膜11、ポリシリコン層12および第1絶縁膜13を順次的に形成する(図1A)。引き続

3

き、前記第1絶縁膜13の上にフォトリソグラーフ工程によりゲート電極1G用フォトリソグラーフパターンを形成し、異方性食刻により前記ポリシリコン層12および第1絶縁膜13をエッチングした後、前記フォトリソグラーフパターンを除去しゲート電極1Gを形成する。このとき、ゲート酸化膜11は活性領域上に残ることになる。そうした後半導体基板とは反対の導電形の不純物イオン14を半導体基板100内に注入し、LDD構造の低濃度不純物n-領域を形成する(図1B)。

【0008】引き続き、取得した構造物の全表面に第2絶縁膜15でCVD酸化膜を形成する。このとき、取得される第2絶縁膜15の厚さは不均一になる(図1C)。前記した工程の次に、第2絶縁膜15を異方性食刻し、図2Dのようにゲート電極1Gの側壁にスペーサ15'を形成し、これはLDD構造の高濃度不純物n+領域形成のためのイオン注入時にマスクで用いる。このとき、前記第2絶縁膜15の厚さの不均一性により前記異方性食刻時の第2絶縁膜15の食刻形態が不均一になるので、前記不均一性を避けるために前記半導体基板に対する第2絶縁膜15の食刻選択比が高い食刻液を利用し十分な時間の間食刻工程を遂行しなければならない。だが、これにより半導体基板100に放射線損傷が誘発されないように留意しなければならない。前記放射線損傷は半導体装置の特性に悪い影響を及ぼすが、例えばMOS素子において、閾値電圧レベルを移動させ、相互コンダクタンスgm特性を低下させ、またDRAMのフレッシュ時間と密接な関係がある接合漏れ電流を増加させる(図2D)。

【0009】次に2番目のイオン注入時に半導体基板100に加わる損傷を減らすために、キャッピング酸化膜16を前記取得した半導体基板の全表面に形成する。このとき、前記キャッピング酸化膜16形成時1番目のイオン注入時に注入された不純物14が活性化され、低濃度不純物領域17が垂直および水平方向に拡散される。従って、ゲート電極1Gが低濃度不純物領域17の一部と重なりゲート重畳キャパシタンスが増加され、半導体装置の動作速度が減少される。次に、スペーサ15'が形成されている半導体基板100上に不純物18を高濃度に注入する(図2E)。

【0010】次に、十分に高い温度で熱処理し、前記注入された不純物イオン18を活性化させ、高濃度不純物領域19を形成する(図2F)。前記したように従来のLDD構造をもつ半導体装置製造工程においては、CVD酸化膜特性によるスペーサ形態の不均一性、スペーサ形成時に半導体基板に加わる放射線損傷およびゲート電極と、不純物領域間の重畳キャパシタンスの生成のようないくらかの問題が発生する。

【0011】

【発明が解決しようとする課題】従って、本発明の目的

4

は、前記した問題点を避けるためにゲート電極側壁に異方性食刻の段階なしにスペーサを形成させる半導体装置の製造方法を提供するところにある。

【0012】

【課題を解決するための手段】前記目的を達成するために本発明によると、不純物がドーピングされたポリシリコンから構成されたゲート電極を形成する段階、および前記ゲート電極が形成された半導体基板を希釈酸化させ、前記ゲート電極の側壁にスペーサを形成する段階から構成された半導体装置の製造方法が提供される。

【0013】

【作用】本発明による半導体装置の製造方法によると、異方性食刻工程を除外させることにより放射線損傷を除去させ、低濃度不純物領域とゲート電極間の重畳キャパシタンスを減少させ、動作速度を向上させるとともに、製造方法が単純である。

【0014】

【実施例】以下、本発明に係わる実施例を添付図面に従って説明する。図3A~図3Dは本発明によるLDD構造をもつ半導体装置の製造工程を示した断面図で、素子分離領域を除外した活性領域だけを示したものである。図3Aを参照すると、通常の工程によりPタイプの単結晶シリコン半導体基板200上に素子分離膜(図示されていない)を形成した後、前記半導体基板200上に熱酸化法により50Å~150Å、望ましくは約70Å程度の厚さのゲート酸化膜21を形成する。次に、1, 500Å~3, 000Åの厚さ、望ましくは約2, 000Åのポリシリコン層22および1, 500Å~3, 000Å、望ましくは約2, 000Å厚さの絶縁膜23を順番に前記ゲート酸化膜21上に形成する。ポリシリコン層22はソースとして、シランを用いて580~650℃で多結晶シリコンを蒸着させ形成できる。絶縁膜23はソースとして、SiH₄とN₂OまたはO₂を用いてCVD法により形成できる。前記絶縁膜23形成工程の前に、前記ポリシリコン層22に例えばPOCl₃工程またはイオン注入工程により不純物である例えばリンPまたは砒素Asが1.0²⁰~1.0²¹atoms/cm²程度の不純物濃度になるように注入し伝導性を付与する。このとき、前記したイオン注入工程でドーズ量5×10¹⁵atoms/cm²であり、注入エネルギー40KeV程度である。

【0015】引き続き、図3Bを参照すると、前記絶縁膜23上にフォトリソグラーフ工程によりゲート電極2G用フォトリソグラーフパターンを形成する。次に、フォトリソグラーフパターンをエッチングマスクとして用いて、前記した絶縁膜23およびポリシリコン層22を異方性食刻し、フォトリソグラーフパターンを除去しゲート電極2Gを取得する。このとき、ゲート酸化膜21は活性領域の上に残る。次に、その上に半導体基板200とは反対の導電形不純物24を

5

$1 \times 10^{14} \text{ atoms/cm}^2$ ドース量と $40 \text{ KeV} \sim 80 \text{ KeV}$ 程度の注入エネルギーで注入し半導体基板に不純物領域を形成させる。

【0016】図3Cを参照すると、スペーサ25が希釈酸化工程によりゲート電極2Gの側壁に形成される。以後、前記スペーサ25はLDD構造の高濃度の不純物の領域を形成するときマスクとして利用される。前記希釈酸化法は水蒸気分圧が低い湿潤雰囲気下で、 $900^\circ\text{C} \sim 1000^\circ\text{C}$ の温度で80分～160分程度遂行される酸化方法である。すなわち、通常の酸化工程が炉内に流入される酸素流量は7.75SLM程度、水素流量は12SLM程度に維持し、 H_2O 分圧が0.8ATM程度の炉内で行なわれるのに比べて、希釈酸化工程は H_2O 分圧が0.01ATM～0.05ATMの炉内で行なわれる。従って、 H_2O 分圧を低めるため炉内に流入される酸素流量を1.5SLM～4SLM程度、水素流量を2SLM～5SLM程度に低めて希釈ガスで窒素 N_2 またはアルゴン Ar を注入し、全体のガス流量を従来の条件と同一に維持する。その結果、酸化工程後炉の外に出るガスを一定に維持させる。

【0017】このとき、望ましくは酸素流量1.8SLM程度、水素流量3SLM程度で酸素および水素ガスを流入し、 H_2O 分圧を0.02ATM程度で維持し、 950°C の炉温度で120分間希釈酸化しスペーサ25を形成する。図4は湿潤雰囲気下で水蒸気分圧によるシリコンの酸化速度の比を示すグラフである。同図で、横軸は水蒸気分圧を示し、縦軸は単結晶シリコン基板の酸化速度に対するリンがドーピングされたポリシリコンの酸化速度の比を示したものである。

【0018】同図で判るように、0.02気圧の水蒸気分圧で希釈酸化を遂行する場合、リンがドーピングされたポリシリコンの酸化速度は単結晶シリコン半導体基板の酸化速度より約10倍程度速い。従って、リンがドーピングされたポリシリコン層ゲート電極2Gを含む前記半導体基板200を希釈酸化することになると、ゲート酸化膜21が既に形成されている単結晶シリコン半導体基板上には酸化がほとんど起こらず、ゲート電極2G側壁部上のポリシリコンが酸化されゲート電極2Gの側壁にスペーサ25が形成される。

【0019】また、前記希釈酸化過程で低濃度のN-不純物24が垂直、水平方向に拡散され、LDD構造の低濃度不純物領域27が形成され、同時にポリシリコン層22'の両側壁が酸化されながらゲート電極のポリシリ

6

コン層22'の体積が減り体積が小さいポリシリコン層22"が形成されるので重畳キャパシタンスが減少される。

【0020】その次に、前記希釈酸化工程後、基板全面に前記低濃度の注入イオンと同一な種類の不純物28を $5 \times 10^{15} \text{ atoms/cm}^2$ のイオンドースおよび30～60KeVの注入エネルギーでイオン注入させる。最終的に図3Dのように熱処理工程により注入された不純物28を活性化させ、高濃度不純物領域29を形成させることによりLDD構造の素子製作過程を完成させる。

【0021】

【発明の効果】前述したように、本発明によると、LDD構造をもつ半導体装置を製造するに当たり、希釈酸化によりゲート電極の側壁を酸化させスペーサを形成させることになるので、スペーサの製造工程が単純であり、異方性食刻工程を除外させることにより放射損傷を除去させ、低濃度不純物領域とゲート電極間の重畳キャパシタンスを減少させ素子の動作速度を向上させることになる。従って半導体装置の信頼性と収率および電気的特性が向上される。

【0022】なお、本発明は前記実施例に限定されるものではなく、本発明の精神を逸脱しない範囲で種々の改変をなし得ることはもちろんである。

【図面の簡単な説明】

【図1】A～Cは従来のLDD構造をもつ半導体装置の製造方法を示した工程順序図である。

【図2】D～Fは従来のLDD構造をもつ半導体装置の製造方法を示した工程順序図である。

【図3】A～Dは本発明の望ましい実施例による半導体装置の製造工程を示した断面図である。

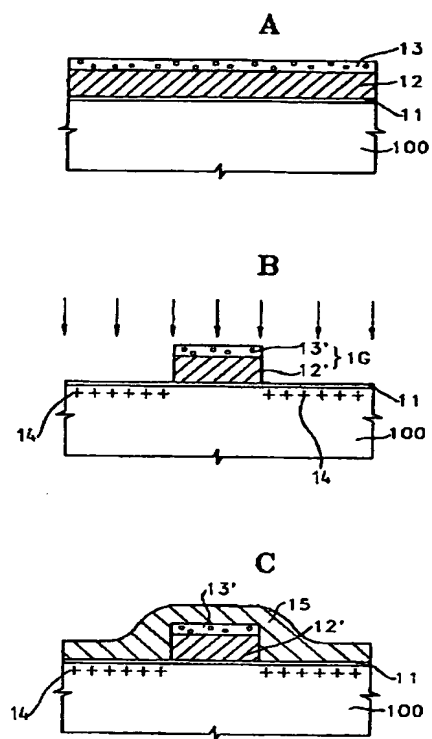
【図4】湿潤雰囲気下で水蒸気分圧によるシリコンの酸化速度比を示す特性図である。

【符号の説明】

2G	ゲート電極
21	ゲート酸化膜
22'	不純物がドーピングされたポリシリコン
23'	絶縁層
25	スペーサ
27	低濃度不純物領域
28	高濃度不純物領域
200	半導体基板

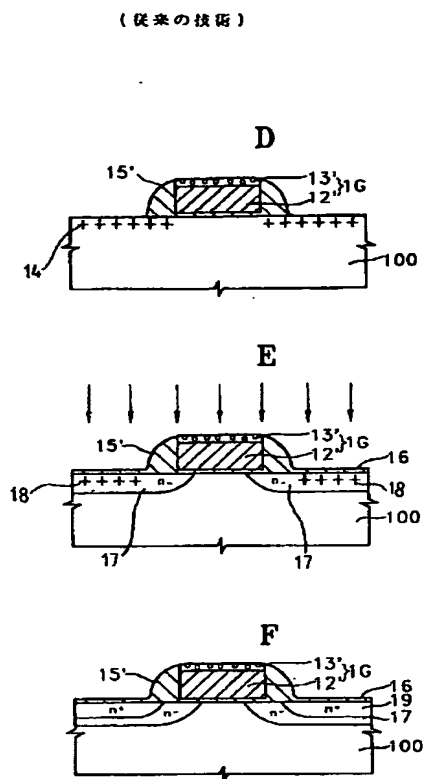
【図1】

(従来の技術)

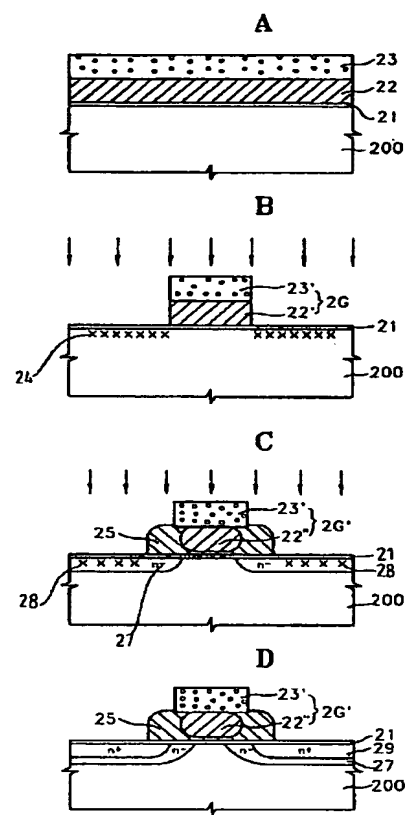


【図2】

(従来の技術)



【図3】



【図 4】

